

(19)  KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

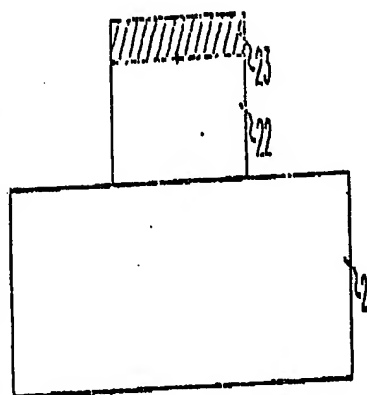
(11)Publication number: 100167671 B1
(43)Date of publication of application: 29.09.1998(21)Application number: 1019950015900
(22)Date of filing: 15.06.1995(71)Applicant: HYUNDAI ELECTRONICS IND.
CO., LTD.
(72)Inventor: CHOI, JIN HO
MA, SUK RAK

(51)Int. Cl. H01L 29 /786

(54) METHOD FOR FABRICATING A THIN FILM TRANSISTOR

(57) Abstract:

PURPOSE: A method for fabricating a thin film transistor is provided so that an electric field at an edge portion of a gate can be reduced and reliability of a device can be enhanced by forming thickness of an oxide at the edge portion of the gate to be thick and rounding the edge portion with smooth. CONSTITUTION: A method for fabricating a thin film transistor includes several steps. In a step, a polysilicon film (22) and an oxidation preventive film (23) for preventing oxidation of the surface of the polysilicon film are formed on a lower insulation film (21), sequentially. Thereafter, in a next step, by using same mask, patterning of the oxidation preventive film (23) and polysilicon film (22) is sequentially performed. In a next step, an oxidation process is performed and thereafter the patterned oxidation preventive film (23) is removed. Thereafter, a gate oxidation film (25) is formed on the upper portion of a whole structure.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19950615)
 Notification date of refusal decision ()
 Final disposal of an application (registration)
 Date of final disposal of an application (19980630)
 Patent registration number (1001676710000)
 Date of registration (19980929)
 Number of opposition against the grant of a patent ()
 Date of opposition against the grant of a patent ()
 Number of trial against decision to refuse ()
 Date of requesting trial against decision to refuse ()

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO
BEST AVAILABLE COPY**

특016/6/1

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/786	(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년 01월 15일 특016/6/1 1998년 09월 29일
(21) 출원번호 (22) 출원일자	특1995-015900 1995년 06월 15일	(65) 공개번호 (43) 공개일자
		특1997-004088 1997년 01월 29일

(73) 특허권자
현대전자산업주식회사 김주용
경기도 이천군 부발읍 아미리 산 136-1
최전호
경기도 이천군 관고리 222-4 산호(차아파트) 4-103호
마숙관
서울시 중랑구 갈매3동 1088-7호 3/9
박해천

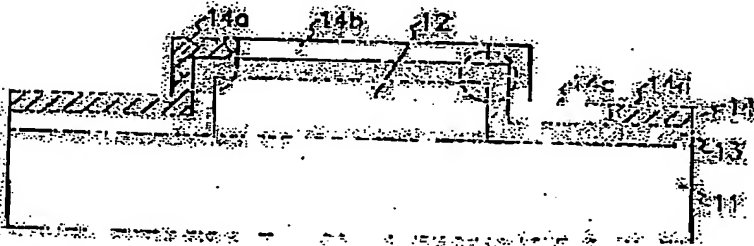
실용신안 제 95-15호

(54) 박막트랜지스터 제조방법

요약

본 발명은 바텀 게이트 형 박막트랜지스터의 게이트 에지 부근의 게이트 산화막 두께를 두께가 형성상하
고, 게이트 에지 부근을 스무스(smooth)하게 라운딩(rounding)시켜 게이트 에지 부근의 전계를 감소시키고
는 것으로, 박막트랜지스터의 온 전류 감소, 문턱전압증가 등의 특성열화를 방지할 것으로써, 소자의 신뢰성
을 향상시키는 효과가 있다.

도면



발명사

[발명의 명칭]

박막트랜지스터 제조 방법

[도면의 간단한 설명]

제1도는 종래의 바텀 게이트 형 박막트랜지스터 단면도.

제2도 내지 제2d도는 본 발명의 실시예에 따른 바텀 게이트 형 박막트랜지스터 형성 공정도.

제3도 내지 제3d도는 본 발명의 다른 실시예에 따른 바텀 게이트 형 박막 트랜지스터 형성 공정도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|------------------|----------------------|
| 21, 31 : 하부절연막 | 22, 32 : 게이트용 폴리실리콘막 |
| 23, 33 : 절화막 | 24 : 산화막 |
| 25, 35 : 게이트 산화막 | 26a, 36a : 소오스 |
| 26b, 36b : 채널 | 26c, 36c : 오프셋 영역 |
| 26d, 36d : 드레인 | 34, 34' : 산화막 스페이서 |

[발명의 상세한 설명]

본 발명은 반도체 소자 제조 공정중 박막트랜지스터 제조 방법에 관한 것으로, 특히 바텀(Bottom) 게이트 형(type) 박막 트랜지스터 제조 방법에 관한 것이다.

SRAM 소자의 로드 소자로 주로 사용되는 박막트랜지스터는 채널(channel) 부위를 폴리실리콘으로 사용하는 트랜지스터로, 제1도를 통해 종래의 바텀 게이트 형 박막트랜지스터 제조 방법을 살펴본다.

종래의 바텀 게이트 형 박막트랜지스터의 제조 방법은 먼저, 하부절연막(11) 상에 게이트용 폴리실리콘막(12)을 마스크를 사용한 건식식각으로 패터닝하고, 게이트 절연막(13)을 형성한 후, 폴리실리콘막(14)을 형성한 다음에, LDD(Lightly doped offset) 마스크를 사용하여 폴리실리콘막(14) 상의 드레인 오프셋 영역(14c)에 이온주입을 실시하고 나서, 소오스/드레인 마스크를 사용하여 상기 폴리실리콘막(14) 상에 소오스(14a)/드레인(14d) 영역을 형성하였다.

그리고, 14b는 채널영역을 나타낸다.

그러나, 상기와 같은 종래의 바텀 게이트형 박막트랜지스터는 박막트랜지스터에 높은 전압을 인가하는 경우, 게이트 에지(edge) 제1도의 점선 내부) 부근의 전계(electric field)가 가장 크게 형성됨으로써, 전류의 감소, 문턱전압의 증가 등 박막트랜지스터의 특성이 열화된다.

따라서, 본 발명은 게이트 에지(edge) 부근의 전계를 감소시켜 박막트랜지스터의 특성을 열화를 방지하는 바텀 게이트 형 박막트랜지스터 제조 방법을 제공함을 그 목적으로 한다.

상기 목적을 달성하기 위한 본 발명의 실시예에서는 바텀 게이트 형 박막트랜지스터의 게이트 에지 부근의 게이트 산화막 두께를 두께가 형성하여 게이트 에지 부근의 전계를 감소시키는 것이며, 이를 실시예에서는 게이트 가장자리를 스무스(smooth)하게 라운딩(grounding)시켜 게이트 에지 부근의 전계를 감소시키는 것이다.

이하, 첨부된 도면 제2a도 내지 제2d도 및 제3a도 내지 제3d도를 참조하여 본 발명의 실시예를 상세히 설명한다.

제2a도 내지 제2d도는 본 발명의 실시예에 따른 바텀 게이트 형 박막트랜지스터 형성 공정도로서, 먼저, 제2a도에 도시된 바와 같이 하부절연막(21) 상에 게이트용 폴리실리콘막(22) 및 절화막(23)을 차례로 형성하고, 게이트 마스크를 사용한 건식식각으로 절화막(23) 및 폴리실리콘막(22)을 패터닝한다.

이어서, 제2b도에 도시된 바와 같이 산화공정을 통해 노출된 폴리실리콘막(22) 패턴 측면 부위를 산화시켜 산화막(24)을 형성한다.

이때, 폴리실리콘막(22) 패턴 상부의 절화막(23)은 폴리실리콘막(22) 패턴 표면이 산화되는 것을 방지하며, 산화 소오스가 절화막(23)의 측면 부위를 파고들어 절화막을 뜯으면서, 게이트 에지 부근은 스무스하게 라운드지게 된다.

이어서, 제2c도에 도시된 바와 같이 상기 절화막(23)을 제거하고, 박막트랜지스터의 게이트 산화막(25)을 전체구조 상부에 형성한다.

결론으로, 제2d도는 채널용 폴리실리콘막을 형성한 다음에, LDD 이온 주입 및 소오스/드레인 이온 주입으로 오프셋 영역(23c) 및 소오스(26a)/드레인(26d) 영역을 형성한다. 도면부호 26b는 채널을 나타낸다.

상기 본 발명의 실시예에서 바텀 게이트 형 박막트랜지스터의 게이트 에지 부근의 산화막은 두께가 형성되어 게이트 에지 부근의 전계를 감소시키게 된다.

제3a도 내지 제3d도는 본 발명의 다른 실시예에 따른 바텀 게이트형 박막 트랜지스터 형성 공정도로서, 먼저, 제3a도에 도시된 바와 같이 하부절연막(31) 상에 게이트용 폴리실리콘막(32) 및 절화막(33)을 차례로 형성하고, 게이트 마스크를 사용한 건식식각으로 절화막(33) 및 폴리실리콘막(32)을 패터닝한다.

이어서, 제3b도에 도시된 바와 같이 전체구조 상부에 산화막을 증착한 다음 다시 비등방성 전면식각하여 절화막(33) 및 폴리실리콘막(32) 패턴 측면에 산화막 스페이스(34)를 형성한다.

이어서, 제3c도는 산화공정을 실시한 상태의 단면도로서, 산화막 스페이스(34)의 두께가 얇은 게이트용 폴리실리콘막 상부 측면 부위는 다른 부위에 비해 더욱 많이 산화되어(도면부호 34') 결국 게이트 에지 부근이 많이 산화되어 게이트 폴리실리콘막 에지 부근은 스무스하게 라운드지게 된다.

결론으로, 제3d도에 도시된 바와 같이 절화막(33) 및 폴리실리콘막(32) 패턴 측면의 산화막 스페이스(34')를 제거하고, 전체구조 상부에 게이트 산화막(35) 및 채널용 폴리실리콘막을 형성한 다음에, LDD 이온 주입 및 소오스/드레인 이온 주입으로 오프셋 영역(36c) 및 소오스(36a)/드레인(36d) 영역을 형성한다. 도면부호 36b는 채널을 나타낸다.

본 발명의 다른 실시예에서 바텀 게이트 형 박막트랜지스터의 게이트 에지 부근은 스무스하게 라운드지게 되어 게이트 에지 부근의 전계를 감소시키게 된다.

이상, 상기 설명과 같이 이루어지는 본 발명은 게이트 에지 부근의 전계를 감소시켜 박막트랜지스터의 온 전류 감소, 문턱전압 증가 등의 특성 열화를 방지함으로써 소자의 신뢰성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

바텀 게이트 형 박막트랜지스터 제조 방법에 있어서, 하부절연막 상에 폴리실리콘막 및 상기 폴리실리콘막 표면의 산화를 방지하는 산화방지막을 차례로 형성하는 단계; 동일한 마스크를 사용하여 상기 산화방지막, 폴리실리콘막을 차례로 패터닝하는 단계; 산화공정을 실시하는 단계; 상기 패터닝된 산화방지막을 제거하는 단계; 전체구조 상부에 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트

트랜지스터 제조 방법

청구항 2.

제1항에 있어서, 상기 산화방지막은 절화막인 것을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 3.

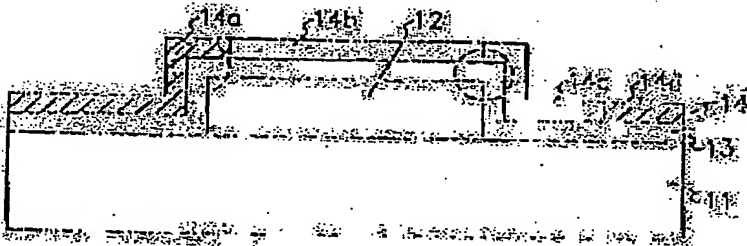
바람 게이트 형 박막트랜지스터 제조 방법에 있어서, 하부절연막 상에 폴리실리콘막 및 상기 폴리실리콘막 표면의 산화를 방지하는 산화방지막을 차례로 형성하는 단계; 동일한 마스크를 사용하여 상기 산화방지막 폴리실리콘막을 차례로 패터닝하는 단계; 상기 패터닝된 산화방지막과 폴리실리콘막 측벽에 산화방 스페이서를 형성하는 단계; 산화공정을 실시하는 단계; 상기 패터닝된 산화방지막 및 상기 산화막 스페이서를 제거하는 단계; 전체구조 상부에 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 4.

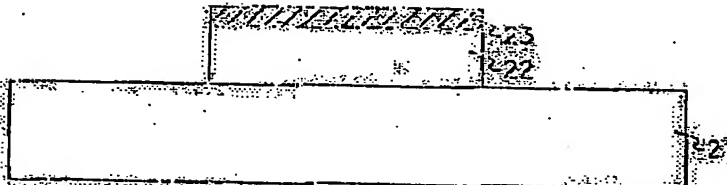
제3항에 있어서, 상기 산화방지막은 절화막인 것을 특징으로 하는 박막트랜지스터 제조 방법.

도면

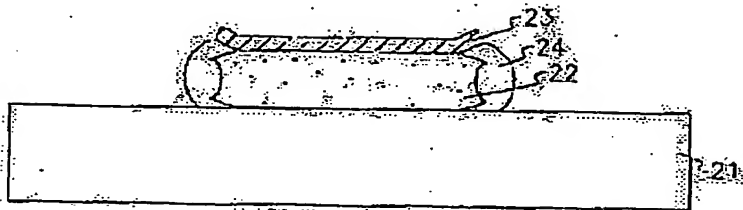
도면



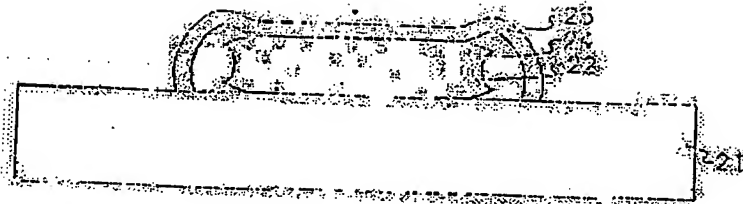
도면



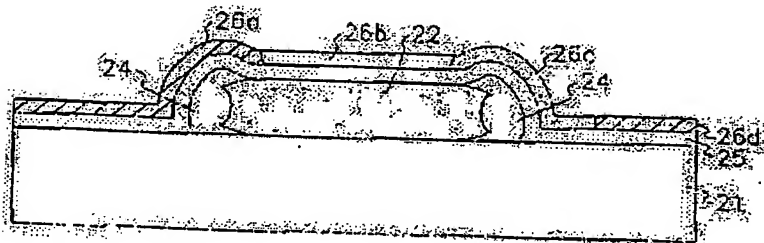
도면



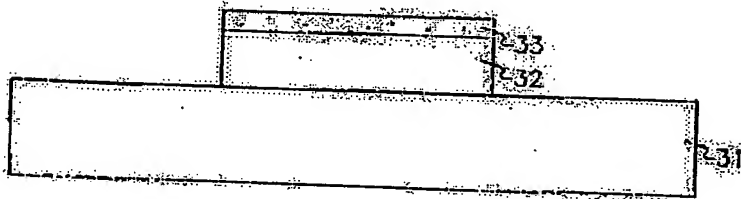
ED2b



ED2d



ED3a



ED3b

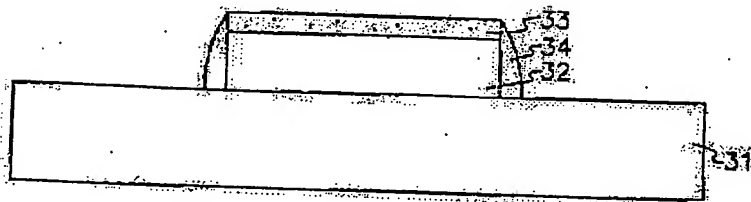


Fig. 30

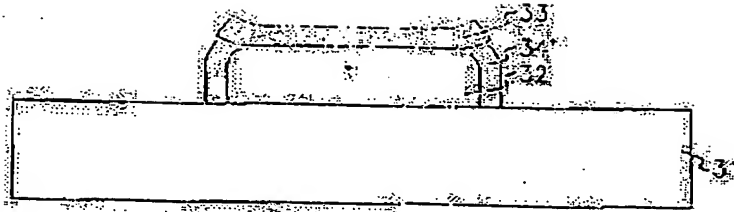
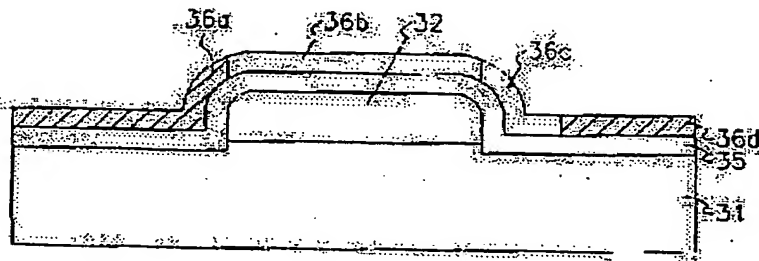


Fig. 31



THIS PAGE BLANK (USPTO)